

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-349946

(43)Date of publication of application : 22.12.1994

(51)Int.Cl.

H01L 21/82
H01L 27/04

(21)Application number : 05-140878

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 11.06.1993

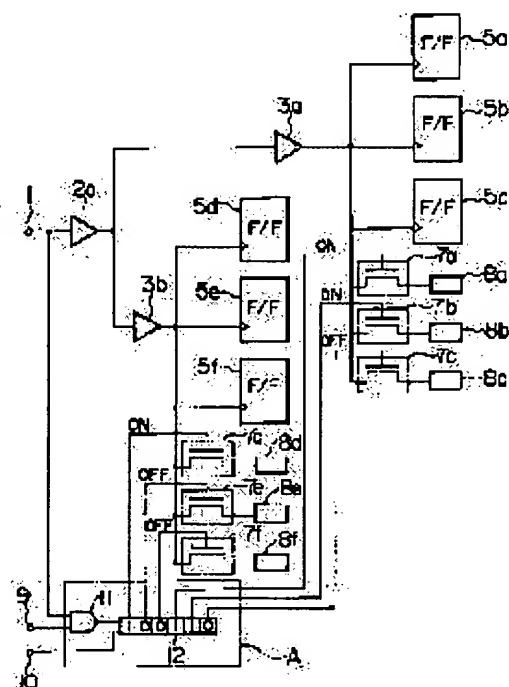
(72)Inventor : NAKAMURA ATSUNOBU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To lessen a semiconductor integrated circuit in clock skew by a method wherein clock buffers are programmably controlled in output load.

CONSTITUTION: One or more switching circuits 7a to 7f which connect loads 8a to 8f to clock buffers 2a, 3a, and 3b constituted in a multi-stage and a load capacity control circuit which controls the clock buffers 2a, 3a, and 3b in output load by turning the switching circuits 7a to 7f ON or OFF are provided to a semiconductor integrated circuit equipped with F/FS 5a to 5f which share clock signals.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the semiconductor integrated circuit equipped with two or more circuit blocks which share the clock signal inputted from the common terminal through the clock buffer constituted by multistage 1 which connects a load to the output side of the clock buffer of the arbitration prepared between each circuit block from said common terminal, or two or more switching circuits, The semiconductor integrated circuit characterized by having the load-carrying capacity control circuit which adjusts the output load of each of said clock buffer by directing ON/OFF state to said each switching circuit.

[Claim 2] Said load-carrying capacity control circuit is a semiconductor integrated circuit according to claim 1 which is the information given from the outside and is characterized by having a shift register holding the information which directs ON/OFF state of said switching circuit.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

 DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor integrated circuit equipped with two or more circuit blocks which share the clock signal inputted from the common terminal through the clock buffer constituted by multistage.

[0002]

[Description of the Prior Art] In the semiconductor integrated circuit equipped with two or more circuit blocks (for example, flip-flop etc.) which share the clock signal conventionally inputted from the common terminal (henceforth a clock terminal) through two or more clock buffers, it originated in dispersion in the time delay by the difference in the output load of each [these] clock buffer etc., and generating of clock skew had become a problem.

[0003] The multistage tree method (the 1st conventional technique) which connects with multistage and constitutes the above-mentioned clock buffer as a technique of reducing this clock skew, for example is learned, and drawing 2 is drawing having shown the example of 1 configuration in the case of reducing the clock skew in the semiconductor integrated circuit concerned with this multistage tree method (block connection diagram).

[0004] In this 1st conventional example, it asks for the output load of a wire length or each clock buffer by count beforehand, and it designs so that the time delay of the clock signal to each circuit block connected to the last stage may become equal.

[0005] It is the buffer group 2 (especially) of the 1st step about the clock signal specifically inputted from the clock terminal 1 as shown in drawing 2. That it should distribute equally from this clock buffer 2a being called root buffer. The buffer group 3 of the 2nd step which consists of two or more clock buffers 3a-3c which have an almost equal output load is connected. By connecting the buffer group 4 of the 3rd step which consists of two or more clock buffers 4a-4c so that each output load of each [these] clock buffers 3a-3c may furthermore become almost equal, it has a multistage tree structure of the connection between each clock buffer.

[0006] And it constitutes so that it may connect with each clock buffers 4a-4b (it has omitted among drawing about clock buffer 4c) which constitute three steps of buffer groups 4 which are the above-mentioned **** about Flip-flops 5a and 5b (henceforth F/F) as a circuit block, respectively, and reduction of the clock skew in the semiconductor integrated circuit concerned is aimed at.

[0007] However, in the 1st conventional example mentioned above, the error has surely arisen in the capacity calculation of a wire length or an output load performed beforehand. Moreover, since the load dependencies of a time delay differ, respectively, each clock buffer which constitutes the multistage tree structure cannot say that clock skew can be reduced as a design.

[0008] With the 2nd conventional technique shown in JP, 3-76144, A there Each clock buffer formed in from the clock terminal 1 before F/F 5a and 5b (circuit block) of the last stage as shown in drawing 3 (a) (in drawing 3 (a)) Clock buffer 3a which has a comparable output load in root buffer 2a, 3b is connected, and while the clock buffers 4a and 4b are further connected to the next step, the time delay equalization circuit 6 which adjusts the time delay of the clock signal to every F/F5a and 5b is prepared and constituted.

[0009] The configuration of this time delay equalization circuit 6 wiring and 6d of delay elements which connect between each clock buffer as especially shown in drawing 3 (b) Fuse 6a, It connects and constitutes through 6b and 6c. These fuses 6a and 6b, The time delay of the clock signal to F/F (circuit block) is adjusted by cutting either of the 6c by adjusting the die length of 6d of delay elements, and adjusting the output load of each clock buffer (namely, reduction of clock skew).

[0010]

[Problem(s) to be Solved by the Invention] When the conventional semiconductor integrated circuit distributes a clock signal to the circuit block of two or more flip-flops which share a clock signal as mentioned above, According to the multistage tree method which constitutes and distributes the clock buffer which has a comparable output load to multistage, (the 1st conventional example) Even if it is the case where computed the time delay of the clock signal from a clock terminal to each circuit block beforehand, and automatic wiring is performed The technical problem that big clock skew might occur by dispersion in the load dependency of the time delay of the wire length or each clock buffer etc. occurred (especially the clock skew resulting from these becomes so remarkable that a clock frequency is high).

[0011] Furthermore, in the 2nd conventional example, the time delay equalization circuit is beforehand prepared between each clock buffer, and the fuse is cut according to the time delay (output load given to each clock buffer) which it is going to adjust. Therefore, although the clock skew generated by dispersion in the wire length from a clock terminal to F/F, dispersion of wiring capacity, dispersion of the property of each clock buffer at the time of manufacture, etc. can be reduced When the fluctuation factor of this clock skew is based on a change of operating environments, such as temperature, with time (especially) When generating after product shipment, once it adjusted in this 2nd example (a fuse is cut), the technical problem of it becoming impossible to correspond, when an operating environment changes again occurred.

[0012] It was made in order that this invention might solve the above technical problems, and it aims at offering the semiconductor integrated circuit which reduces the clock skew produced by dispersion in the time delay of each clock buffer resulting from a wire length, an output load, etc.

[0013]

[Means for Solving the Problem] the semiconductor integrated circuit concerning this invention be characterize by to reduce the clock skew of (programmable) and each clock buffer by adjust the condition of the output load of each above-

mentioned clock buffer based on the information give from the outside in the semiconductor integrated circuit equipped with two or more circuit blocks which share the clock signal inputted from the clock terminal which be a common terminal through the clock buffer constituted by multistage.

[0014] While preparing 1 which specifically connects a load (minute load-carrying capacity) to the clock buffer of the arbitration prepared between each circuit block from the clock terminal in the above-mentioned semiconductor integrated circuit, or two or more switching circuits, it realizes by preparing the load-carrying capacity control circuit which adjusts the output load of each clock buffer by directing ON/OFF state to each [these] switching circuit.

[0015] Especially the above-mentioned load-carrying capacity control circuit is the information given from the outside, and is characterized by having a shift register (each bit supporting one clock buffer, respectively) holding the information which shows ON/OFF state of the switching circuit prepared between the above-mentioned clock buffer and the load.

[0016] In addition, the ON state of the above-mentioned switching circuit is changing into the condition (condition which increased the output load) of having connected the load to the output side of a clock buffer, and is in the condition which is equivalent to signal level "1" in the bit to which the shift register in the above-mentioned load-carrying capacity control circuit corresponds. The OFF state of the above-mentioned switching circuit is changing into the condition (condition which reduced the output load) of having cut load connection from the output side of a clock buffer, and is in the condition which is equivalent to signal level "0" in the bit to which the shift register in the above-mentioned load-carrying capacity control circuit corresponds.

[0017] Moreover, the condition of the clock skew within the semiconductor integrated circuit concerned takes out the signal ejection line of the almost same die length to a clock signal from the clock buffer of the last stage, and investigates the time delay of each clock buffer.

[0018]

[Function] The semiconductor integrated circuit in this invention 1 which connects a load (minute load-carrying capacity) to each clock buffer formed that a clock signal should be supplied to two or more circuit blocks which share the clock signal inputted from the clock terminal which is a common terminal, respectively, or two or more switching circuits, Since the load-carrying capacity control circuit which adjusts the output load of each clock buffer by directing ON/OFF state from the outside to each [these] switching circuit as bit information to which a shift register corresponds was prepared It makes it possible to change the output load of each clock buffer into arbitration with the directions from the outside corresponding to change of an operating environment.

[0019]

[Example] Hereafter, one example of this invention is explained using drawing 1 . In addition, the same sign is given to a same-among drawing part, and explanation is omitted.

[0020] Drawing 1 is the block connection diagram showing the configuration by one example of the semiconductor integrated circuit concerning this invention.

[0021] Clock buffer 3a which constitutes the buffer group of the 2nd step from this drawing especially in root buffer 2a by which direct continuation was carried out to the clock terminal 1, 3b is connected and a multistage tree is constituted.

These clock buffer 3a, The semiconductor integrated circuit which supplies the clock signal inputted into F/F 5a-5f which is circuit blocks, respectively from the above-mentioned clock terminal 1 from 3b is shown. The switching circuits 7a-7f prepared in order to connect to each [these] clock buffers 3a and 3b the loads 8a-8f of the minute capacity prepared in order to give an output load to each clock buffers 3a and 3b in this invention, It is characterized by forming the load-carrying capacity control circuit A which directs a connection condition according to an individual in each [these] switching circuits 7a-7f.

[0022] In addition, the above-mentioned switching circuits 7a-7f consist of the nMOS gates, and when the signal level of the information directed from the load-carrying capacity control circuit A is "1", while changing a clock buffer and a load into a connection condition, when the signal level of the information directed from the load-carrying capacity control circuit A is "0", they change a clock buffer and a load into an open-circuit condition.

[0023] Moreover, the shift register 12 with which the above-mentioned load-carrying capacity control circuit A holds each ON/OFF state in the bit corresponding to each above-mentioned switching circuits 7a-7f, The input terminal 9 which inputs the timing signal for making it synchronize with the clock signal inputted from the clock terminal 1, and making directions information store in a shift register 12, and 2 input AND gate 11, It consists of data input terminals 10 which input the each switching circuits [7a-7f] directions information from the outside as serial data.

[0024] Next, the setting-operation of the output load to each clock buffers 3a and 3b in the semiconductor integrated circuit concerning this invention and actuation of each switching circuits 7a-7f are explained.

[0025] First, the clock signal made to output to F/F 5a-5f, respectively from the signal ejection line of die length almost same from the clock buffers 3a and 3b (output load **** when the multistage configuration of these clock buffers is carried out thing which must become the same) of the last stage is taken out, and the time delay of each clock buffer is investigated.

[0026] And according to the investigated time delay, each load-carrying capacity of each clock buffers 3a and 3b is calculated, and each switching circuits [7a-7f] ON/OFF state are determined. That is, it is determined that each switching circuits [7a-7f] ON/OFF state will reduce clock skew by connecting the load which is equivalent to this time delay at clock buffer 3a when clock skew is reduced and the direction of clock buffer 3b is behind to an output side by connecting the load which is equivalent to this time delay at clock buffer 3b when the direction of clock buffer 3a is behind to an output side.

[0027] Furthermore, suppose that each switching circuits [which were determined as mentioned above, for example / 7a-7f] directions information was set to "100110" with serial data (in addition, each bit supports each switching circuits [7a-7f] either, respectively, and signal level "1" is directing the ON state). At this time, by the load-carrying capacity control circuit A, when the signal which takes timing (inputted from the data input terminal 10) is inputted from an input terminal 9 and the output level from 2 input AND gate 11 is set to "1" in order to make it synchronize with the clock signal inputted from the clock terminal 1 and to make the above-mentioned serial data input, that directions information is set to each bit of a shift register 12 one by one from the data input terminal 10.

[0028] If set to the shift register 12 with which each switching circuits [7a-7f]

directions information was prepared in the load-carrying capacity equalization circuit A as mentioned above, since each bit of this shift register 12 supports switching circuits [7a-7f (it constitutes from the nMOS gate)] each, it becomes possible to change that connection condition (signal level "1" if it to become an ON state, signal level "0" if it to become OFF state) at any time according to the signal level of the information directed.

[0029]

[Effect of the Invention] 1 which connects a load (minute load-carrying capacity) to each clock buffer formed that a clock signal should be supplied to two or more circuit blocks which share the clock signal inputted from the clock terminal which is a common terminal, respectively as mentioned above according to this invention, or two or more switching circuits, Since the load-carrying capacity control circuit which adjusts the output load of each clock buffer by directing ON/OFF state to each [these] switching circuit as bit information to which a shift register corresponds was prepared It is effective in the ability to change the output load of each clock buffer into arbitration with the directions from the outside corresponding to change of an operating environment.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block connection diagram showing the configuration by one example of the semiconductor integrated circuit concerning this invention.

[Drawing 2] It is the block connection diagram showing the configuration of the semiconductor integrated circuit which is the 1st conventional example.

[Drawing 3] It is the block connection diagram showing the configuration of the semiconductor integrated circuit which is the 2nd conventional example.

[Description of Notations]

1 [-- A switching circuit, 8a-8f / -- A load, 12 / -- A shift register, A / -- Load-carrying capacity control circuit.] -- A clock terminal, 2a, 3a, 3b -- A clock buffer, 5a-5f -- A circuit block (F/F), 7a-7f

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-349946

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl.⁵

H 0 1 L 21/82
27/04

識別記号

庁内整理番号

U 8832-4M
8122-4M

F I

H 0 1 L 21/ 82

技術表示箇所

W

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号 特願平5-140878

(22) 出願日 平成5年(1993)6月11日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 中村 厚信

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

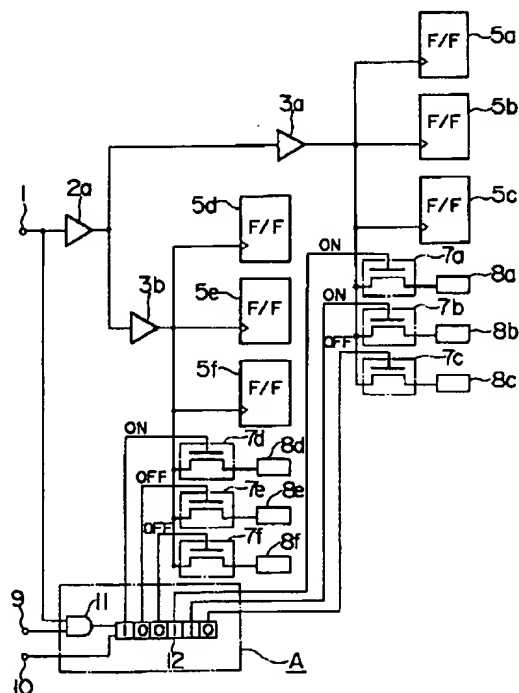
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 プログラマブルに各クロックバッファの出力負荷の状態を調節することによりクロックスキューを低減させる。

【構成】 クロック信号を共有する複数のF/F 5a～5fを備えた半導体集積回路に多段に構成されたクロックバッファ2a、3a、3bに、負荷8a～8fを接続する1又は2以上のスイッチング回路7a～7fと、これら各スイッチング回路7a～7fに対してオン/オフ状態を指示することで各クロックバッファ2a、3a、3bの出力負荷を調節する負荷容量調節回路Aを設ける。



【特許請求の範囲】

【請求項1】 共通の端子から入力されたクロック信号を、多段に構成されたクロックバッファを介して共有する複数の回路ブロックを備えた半導体集積回路において、

前記共通の端子から各回路ブロック間に設けられた任意のクロックバッファの出力側に負荷を接続する1又は2以上のスイッチング回路と、

前記各スイッチング回路に対してオン／オフ状態を指示することで前記各クロックバッファの出力負荷を調節する負荷容量調節回路とを備えたことを特徴とする半導体集積回路。

【請求項2】 前記負荷容量調節回路は、外部から与えられた情報であって、前記スイッチング回路のオン／オフ状態を指示する情報を保持しておくシフトレジスタを備えたことを特徴とする請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、共通の端子から入力されたクロック信号を、多段に構成されたクロックバッファを介して共有する複数の回路ブロックを備えた半導体集積回路に関するものである。

【0002】

【従来の技術】従来、共通の端子（以下、クロック端子という）から入力されたクロック信号を複数のクロックバッファを介して共有する複数の回路ブロック（例えばフリップ・フロップ等）を備えた半導体集積回路では、これら各クロックバッファの出力負荷の違いによる遅延時間のばらつき等に起因してクロックスキューの発生が問題となっていた。

【0003】このクロックスキューを低減させる技術としては、例えば上記クロックバッファを多段に接続して構成する多段ツリー方式（第1の従来技術）が知られており、図2は、この多段ツリー方式により当該半導体集積回路内のクロックスキューを低減させる場合の一構成例（ブロック接続図）を示した図である。

【0004】この第1の従来例では、予め配線長や各クロックバッファの出力負荷を計算により求めておき、最終段に接続された各回路ブロックへのクロック信号の遅延時間が等しくなるように設計する。

【0005】具体的には、図2に示すようにクロック端子1から入力されるクロック信号を第1段のバッファ群2（特に、このクロックバッファ2aをルートバッファという）から均等に分配すべく、ほぼ等しい出力負荷を有する複数のクロックバッファ3a～3cからなる第2段のバッファ群3を接続し、さらにこれら各クロックバッファ3a～3cのそれぞれの出力負荷がほぼ等しくなるように複数のクロックバッファ4a～4cからなる第3段のバッファ群4を接続することで、各クロックバ

ッファ間の接続を多段ツリー構造する。

【0006】そして、回路ブロックとして例えばフリップ・フロップ5a、5b（以下、F/Fという）を、上記最終段である3段のバッファ群4を構成する各クロックバッファ4a～4b（クロックバッファ4cについては図中省略してある）にそれぞれ接続するように構成して、当該半導体集積回路内のクロックスキューの低減を図っている。

【0007】しかし、上述した第1の従来例では、予め行われる配線長や出力負荷の容量計算に必ず誤差が生じている。また、多段ツリー構造を構成している各クロックバッファは、それぞれ遅延時間の負荷依存性が異なっていることから、設計通りにクロックスキューを低減できるとはいえない。

【0008】そこで、例えば特開平3-76144号公報に示される第2の従来技術では、図3（a）に示すように、クロック端子1から最終段のF/F5a、5b（回路ブロック）までの間に設けられた各クロックバッファ（図3（a）では、ルートバッファ2aに同程度の出力負荷を有するクロックバッファ3a、3bが接続されており、さらに次段にクロックバッファ4a、4bが接続されている）間に、各F/F5a、5bまでのクロック信号の遅延時間の調整を行う遅延時間調整回路6を設けて構成している。

【0009】特に、この遅延時間調整回路6の構成は、図3（b）に示すように各クロックバッファ間を接続する配線と遅延素子6dとをヒューズ6a、6b、6cを介して接続して構成しており、これらヒューズ6a、6b、6cのいずれかを切断することにより遅延素子6dの長さを調節し、各クロックバッファの出力負荷を調節することでF/F（回路ブロック）までのクロック信号の遅延時間の調整（すなわち、クロックスキューの低減）を行っている。

【0010】

【発明が解決しようとする課題】従来の半導体集積回路は以上のように、クロック信号を共有する複数のフリップフロップ等の回路ブロックにクロック信号を分配する場合、同程度の出力負荷を有するクロックバッファを多段に構成して分配する多段ツリー方式によると（第1の従来例）、予めクロック端子から各回路ブロックまでのクロック信号の遅延時間を算出して自動配線を行った場合であっても、その配線長あるいは各クロックバッファの遅延時間の負荷依存性のばらつき等により大きなクロックスキューが発生する可能性があるという課題があった（特に、これらに起因するクロックスキューはクロック周波数が高いほど顕著になる）。

【0011】さらに、第2の従来例では予め各クロックバッファ間に遅延時間調整回路を設けておき、調節しようとする遅延時間（各クロックバッファに与える出力負荷）に合わせてヒューズを切断している。したがって、

クロック端子からF/Fまでの配線長のばらつき、配線容量のばらつき、製造時における各クロックバッファの特性のばらつき等により発生するクロックスキューを低減することができるが、このクロックスキューの変動要因が温度等の使用環境の経時的変化による場合（特に、製品出荷後に発生する場合）、この第2の実施例では一度調節してしまうと（ヒューズを切断する）、再度使用環境が変化した場合に対応することができなくなるという課題があった。

【0012】この発明は上記のような課題を解決するためになされたもので、配線長、出力負荷等に起因する各クロックバッファの遅延時間のばらつきにより生じるクロックスキューを低減させる半導体集積回路を提供することを目的とする。

【0013】

【課題を解決するための手段】この発明に係る半導体集積回路は、共通の端子であるクロック端子から入力されたクロック信号を、多段に構成されたクロックバッファを介して共有する複数の回路ブロックを備えた半導体集積回路において、外部から与えられる情報に基づいて上記各クロックバッファの出力負荷の状態を調節することにより（プログラマブル）、各クロックバッファのクロックスキューを低減させることを特徴としている。

【0014】具体的には、上記半導体集積回路におけるクロック端子から各回路ブロック間に設けられた任意のクロックバッファに負荷（微小な負荷容量）を接続する1又は2以上のスイッチング回路を設けるとともに、これら各スイッチング回路に対してオン/オフ状態を指示することで各クロックバッファの出力負荷を調節する負荷容量調節回路を設けることにより実現する。

【0015】特に、上記負荷容量調節回路は、外部から与えられた情報であって、上記クロックバッファと負荷との間に設けられたスイッチング回路のオン/オフ状態を示す情報を保持しておくシフトレジスタ（各ビットがそれぞれ1つのクロックバッファに対応している）を備えたことを特徴としている。

【0016】なお、上記スイッチング回路のオン状態とは、クロックバッファの出力側に負荷を接続した状態（出力負荷を増やした状態）にすることであり、上記負荷容量調節回路におけるシフトレジスタの対応するビットでは信号レベル“1”に相当する状態である。上記スイッチング回路のオフ状態とは、クロックバッファの出力側から負荷接続を切断した状態（出力負荷を減らした状態）にすることであり、上記負荷容量調節回路におけるシフトレジスタの対応するビットでは信号レベル“0”に相当する状態である。

【0017】また、当該半導体集積回路内でのクロックスキューの状態は、最後段のクロックバッファからはほぼ同じ長さの信号取り出し線からクロック信号を取り出して各クロックバッファの遅延時間を調べる。

【0018】

【作用】この発明における半導体集積回路は、共通の端子であるクロック端子から入力されたクロック信号を共有する複数の回路ブロックにそれぞれクロック信号を供給すべく設けられた各クロックバッファに負荷（微小な負荷容量）を接続する1又は2以上のスイッチング回路と、これら各スイッチング回路に対してオン/オフ状態をシフトレジスタの対応するビット情報として外部から指示することで各クロックバッファの出力負荷を調節する負荷容量調節回路を設けたので、使用環境の変化に対応して各クロックバッファの出力負荷を外部からの指示により任意に変更することを可能にする。

【0019】

【実施例】以下、この発明の一実施例を図1を用いて説明する。なお、図中同一部分には同一符号を付して説明を省略する。

【0020】図1はこの発明に係る半導体集積回路の一実施例による構成を示すブロック接続図である。

【0021】特に、この図ではクロック端子1に直接接続されたルートバッファ2aに第2段のバッファ群を構成するクロックバッファ3a、3bを接続して多段ツリーを構成し、これらクロックバッファ3a、3bからそれぞれ回路ブロックであるF/F5a～5fに上記クロック端子1から入力されたクロック信号を供給する半導体集積回路を示しており、この発明では各クロックバッファ3a、3bに出力負荷を与えるために用意された微小容量の負荷8a～8fを、これら各クロックバッファ3a、3bに接続するために設けられたスイッチング回路7a～7fと、これら各スイッチング回路7a～7fに個別に接続状態を指示する負荷容量調節回路Aを設けたことを特徴としている。

【0022】なお、上記スイッチング回路7a～7fはnMOSゲートで構成され、負荷容量調節回路Aから指示される情報の信号レベルが“1”の時、クロックバッファと負荷とを接続状態にする一方、負荷容量調節回路Aから指示される情報の信号レベルが“0”の時、クロックバッファと負荷とを断線状態にする。

【0023】また、上記負荷容量調節回路Aは上記各スイッチング回路7a～7fに対応したビットにそれぞれのオン/オフ状態を保持しておくシフトレジスタ12と、クロック端子1から入力されるクロック信号に同期させてシフトレジスタ12に指示情報を格納させるためのタイミング信号を入力する入力端子9及び2入力ANDゲート11と、外部から各スイッチング回路7a～7fへの指示情報をシリアルデータとして入力するデータ入力端子10から構成されている。

【0024】次に、この発明に係る半導体集積回路における各クロックバッファ3a、3bへの出力負荷の設定動作及び各スイッチング回路7a～7fの動作について説明する。

5

【0025】まず、最終段のクロックバッファ3a、3b（これらのクロックバッファは多段構成された際、出力負荷ほぼ同じにならないもの）からほぼ同じ長さの信号取り出し線から、それぞれF/F5a～5fに出力させるクロック信号を取り出して各クロックバッファの遅延時間を調べる。

【0026】そして、調べた遅延時間に応じて各クロックバッファ3a、3bのそれぞれの負荷容量を計算して各スイッチング回路7a～7fのオン/オフ状態を決定する。すなわち、クロックバッファ3aの方が遅れている場合にはクロックバッファ3bにこの遅延時間に相当する負荷を出力側に接続させることにより、クロックスキューを低減させ、またクロックバッファ3bの方が遅れている場合にはクロックバッファ3aにこの遅延時間に相当する負荷を出力側に接続させることにより、クロックスキューを低減させるように各スイッチング回路7a～7fのオン/オフ状態を決定する。

【0027】さらに、例えば以上のように決定された各スイッチング回路7a～7fへの指示情報がシリアルデータで“100110”となったとする（なお、各ビットはそれぞれ各スイッチング回路7a～7fのいずれかに対応しており、信号レベル“1”がオン状態を指示している）。この時、負荷容量調節回路Aではクロック端子1から入力されるクロック信号に同期させて上記シリアルデータを入力させるべく（データ入力端子10から入力される）タイミングをとる信号を入力端子9から入力し、2入力ANDゲート11からの出力レベルが“1”となった場合にデータ入力端子10から順次シフトレジスタ12の各ビットにその指示情報がセットされる。

【0028】以上のようにして各スイッチング回路7a

6

～7fへの指示情報が負荷容量調整回路Aに設けられたシフトレジスタ12にセットされると、このシフトレジスタ12の各ビットがスイッチング回路7a～7f（nMOSゲートで構成）のそれぞれに対応しているの、指示される情報の信号レベルに応じてその接続状態（信号レベル“1”ならばオン状態、信号レベル“0”ならばオフ状態）を随時切り替えることが可能となる。

【0029】

【発明の効果】以上のようにこの発明によれば、共通の端子であるクロック端子から入力されたクロック信号を共有する複数の回路ブロックにそれぞれクロック信号を供給すべく設けられた各クロックバッファに負荷（微小な負荷容量）を接続する1又は2以上のスイッチング回路と、これら各スイッチング回路に対してオン/オフ状態をシフトレジスタの対応するビット情報として指示することで各クロックバッファの出力負荷を調節する負荷容量調節回路を設けたので、使用環境の変化に対応して各クロックバッファの出力負荷を外部からの指示により任意に変更できるという効果がある。

【図面の簡単な説明】

【図1】この発明に係る半導体集積回路の一実施例による構成を示すブロック接続図である。

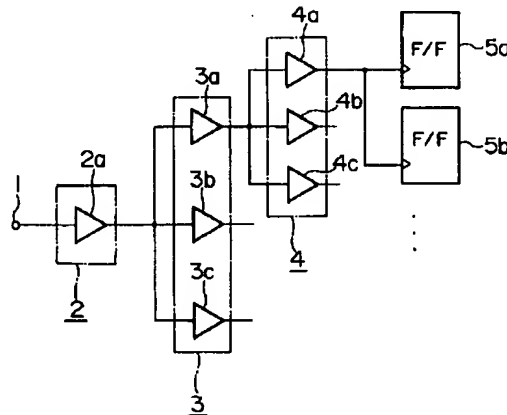
【図2】第1の従来例である半導体集積回路の構成を示すブロック接続図である。

【図3】第2の従来例である半導体集積回路の構成を示すブロック接続図である。

【符号の説明】

1…クロック端子、2a、3a、3b…クロックバッファ、5a～5f…回路ブロック（F/F）、7a～7f…スイッチング回路、8a～8f…負荷、12…シフトレジスタ、A…負荷容量調節回路。

【図2】



【図3】

